

双通道 AD 采集模块 用户手册

ALINX9226

REV 1.0 版

芯驿电子科技（上海）有限公司

黑金动力社区

[Http://www.heijin.org](http://www.heijin.org)

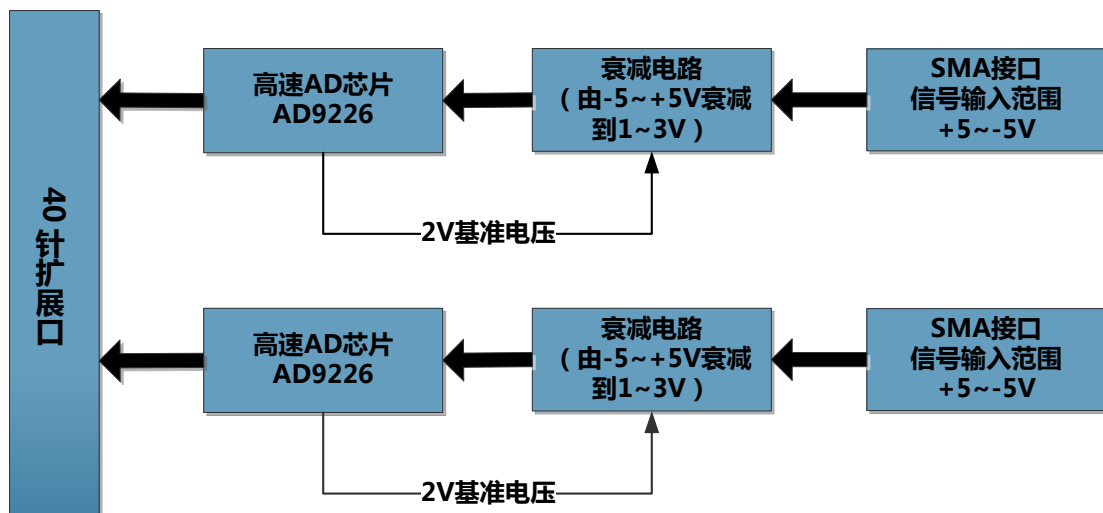
目录

一、 模块参数	3
二、 模块结构	3
三、 AD9226 简介	3
四、 AD9226 功能框图.....	4
五、 AD9226 时序图	4
六、 AD9226 配置	4
七、 衰减电路	6
八、 AD8065 运算放大器.....	7
九、 接口定义（PCB 上带方框的引脚为 1 脚）	7
十、 AD 实验操作步骤	8
十一、 SignalTap II 波形.....	8

一、模块参数

- 模块型号：ALINX9226；
- AD 型号：AD9226；
- 通道数：2 通道；
- AD 位数：12bit；
- 最高采样率：65MSPS；
- 输入电压范围：-5V~+5V；
- 模块 PCB 层数：4 层，独立的电源层和 GND 层；
- 模块接口：40 针 2.54mm 间距排座，方向向下；
- 工作温度：-40°~85° 模块使用芯片均满足工业级温度范围
- 输入接口：SMA 接口和 2.54 间距的排针（1 脚地，2 脚输入信号）；

二、模块结构



三、AD9226 简介

双通道 12bit AD 采集模块，采用了两片 ADI 公司的 AD9226，此芯片是一款单芯片、12 位、65 MSPS 模数转换器（ADC），采用单电源供电，内置一个片内高性能采样保持放大器和基准电压源。它采用多级差分流水线架构，数据速率达 65 MSPS，在整个工作温度范围内保证无失码。

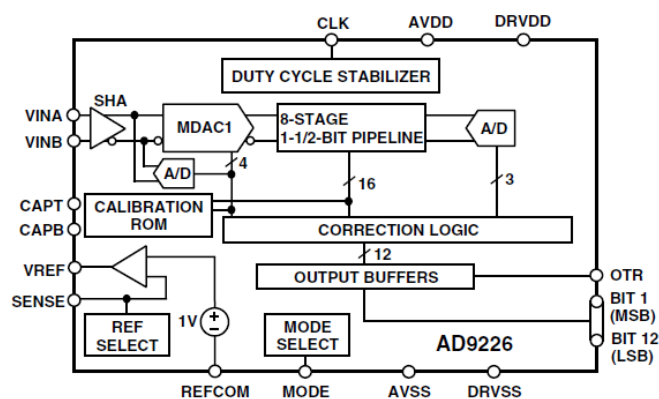
该 ADC 采用高速、低成本的 CMOS 工艺及新颖的架构，分辨率和速度可达到现有双极性方案的水平，而功耗成本却低得多。

AD9226 的输入能够与成像、超声和通信系统实现轻松接口。利用真差分输入结构，用户可以选择包括单端应用在内的各种输入范围和偏移。动态性能极为

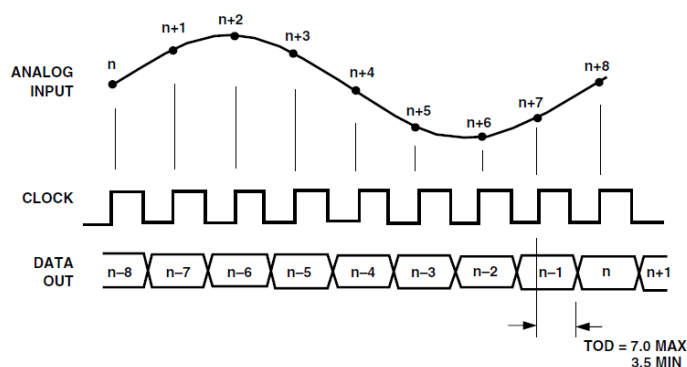
出色。

采样保持放大器既适用于在连续通道中切换满量程电平的多路复用系统,也适合采用最高 Nyquist 速率及更高的频率对单通道输入进行采样。

四、AD9226 功能框图

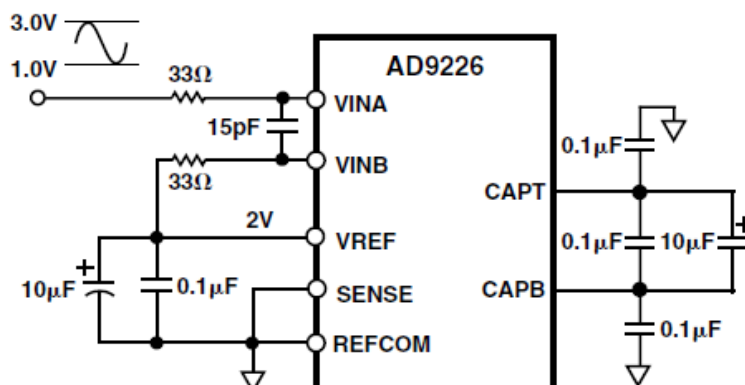


五、AD9226 时序图



通过此时序图,我们可以看到,无需对 AD 芯片进行配置,只需要我们提供时钟 CLOCK,芯片就可以直接进行数据采集了,操作非常简便。

六、AD9226 配置



根据上图所示，我们将 AD9226 配置为单端输入，输入范围 1.0V-3.0V 的模式，在此模式下，VREF 即基准电压为 2V，VINA 输入范围为 1.0-3.0V。

在此说明一下，在硬件设计的时候，AD9226 的有几点需要注意的地方：

1. AD9226 这款芯片支持差分输入和单端输入，在使用的时候可以根据设计的需求来进行选择，我们在设计的时候，选择单端输入的模式。其他模式详看 AD9226 芯片手册。
2. 我们设计的电路选择的是 AD9226 内部基准源，VREF 是基准电压输出端口，可提供 1V 和 2V 两种基准电压。通过 SENSE 来进行选择，当 SENSE 与 GND 连接时，提供 2V 基准电压；当 SENSE 与 VREF 连接时，提供 1V 基准电压。我们选择的接法为提供 2V 基准电压的连接方式。我们在电路中利用了这个 2V 基准电压，来设计衰减电路，具体请看原理图。
3. VINA 的输入范围，有 VREF 决定，当 VREF=2V 时，VINA 的输入范围为 2V ($3V-1V=2V$)；当 VREF=1V 时，VINA 的输入范围为 1V ($1.5V-0.5V=1V$)。
4. 引脚 22 MODE 具有数据格式选择功能，AD9226 的输出数据格式有两种，Binary Output Mode 和 Two's Complement Mode。下表为模式的选择，

Mode	DFS	Clock Duty Cycle Shaping
DNC	Binary	Clock Stabilizer Disabled
AVDD	Binary	Clock Stabilizer Enabled
GND	Two's Complement	Clock Stabilizer Enabled
10 kΩ	Two's Complement	Clock Stabilizer Disabled
Resistor	To GND	

有此表我们可以看出，当引脚 22 接 GND 时，选择模式为 Two's Complement Mode，当接 AVDD 时，选择模式为 Binary Output Mode。

我们在设计时，选择了 Two's Complement Mode。

下表是两种模式，输出数据格式的区别

Input (V)	Condition (V)	Binary Output Mode	Two's Complement Mode	OTR
VINA-VINB	< - VREF	0000 0000 0000	1000 0000 0000	1
VINA-VINB	= - VREF	0000 0000 0000	1000 0000 0000	0
VINA-VINB	= 0	1000 0000 0000	0000 0000 0000	0
VINA-VINB	= + VREF - 1 LSB	1111 1111 1111	0111 1111 1111	0
VINA-VINB	≥ + VREF	1111 1111 1111	0111 1111 1111	1

注意：此表由官方文档提供，但我们认为还是有错误在里面，经我们测试，当 $V_{REF}=2V$ 时，应该是 $V_{IN}-V_{INB}=-1/2V_{REF}=-1$ 或者 $1/2V_{REF}=1$ ，对应后面的数值分别是 1000 000 000 或者 0111 1111 1111，而不是上图说的 -VREF 或者 VREF，因为此时， $V_{INB}=2V$ ，而 V_{INA} 的范围是 $1V\sim3V$ ， $V_{INA}-V_{INB}$ 的范围是 $-1V\sim1V$ ，即 $-1/2V_{REF}\sim1/2V_{REF}$ 。大家可以测试一下，是否是这种情况，如有问题，可与我们进行联系，对此进行讨论矫正。

5. AD9226 的 OTR 引脚为 Out of Range，即输入电压范围检测功能，通过此引脚，我们可以判断输入的电压是否超过了芯片设计所在量程。下表为真值表

OTR	MSB	Analog Input Is
0	0	In Range
0	1	In Range
1	0	Underrange
1	1	Overrange

当 OTR 为 1 时，说明我们所采集的电压范围超出了设计范围。

七、衰减电路

衰减电路的作用就是将输入电压按照一定的比例进行减小，使其满足 AD 输入端的输入范围。一般 AD 输入端的输入范围都很小，就拿 AD9226 为例，我们将其电压输入范围为 $1.0V\sim3.0V$ ，而我们需要满足电压输入范围为 $-5V$ 到 $+5V$ ，那么我们就将 $-5V$ 到 $+5V$ 的电压减小到 $1V\sim3V$ 这样的范围才可以。因此，衰减电路的作用便产生了。我们设计了一个满足上述要求的衰减电路，他的转换公式为：

$$V_{out}=(1/5)V_{in}+2$$

当 $V_{in} = -5V$ 时, $V_{out} = 1V$; 当 $V_{in} = 5V$ 时, $V_{out} = 3V$;

正好满足我们的上述要求。转换为数字信号以后, 将上述转换公式反向运算, 将数字信号进行放大, 即可得到输入电压的真实数值。

注意: 信号经过衰减电路以后, 会存在一定的误差, 我们可以将其误差视为线性误差, 对信号进行人工校准, 可减小误差范围。

八、AD8065 运算放大器

在衰减电路中, 我们采用了一片高性能, 145MHz 的运算放大器 AD8065, AD8065 *FastFET* 放大器为电压反馈型放大器, 提供 FET 输入, 性能出色、易于使用。AD8065 是单路放大器, 采用 ADI 公司的专有 XFCB 工艺制造, 工作噪声极低(7.0 nV/ \sqrt{Hz} 和 0.6 fA/ \sqrt{Hz}), 输入阻抗非常高。

AD8065 具有 5 V 至 24 V 的宽电源电压范围, 可采用单电源供电, 带宽为 145 MHz, 适合各种应用。此外, 这些放大器还具有轨到轨输出, 使其功能更加多样化。

尽管成本很低, 但这些器件仍能提供出色的整体性能。这些放大器的差分增益和相位误差分别为 0.02% 和 0.02°, 0.1 dB 平坦度为 7 MHz, 堪称视频应用的理想之选。此外, 这些器件具有 180 V/ μs 高压摆率、出色的失真性能(1 MHz 时无杂散动态范围(SFDR)为 -88 dBc)、极高的共模抑制(-100 dB)和低输入失调电压(1.5 mV, 预热条件下最大值)。AD8065/AD8066 仅采用每个放大器 6.4 mA 的典型电源电流, 能够驱动高达 30 mA 的负载电流。

九、接口定义 (PCB 上带方框的引脚为 1 脚)

引脚	内容	备注	引脚	内容	备注
1	GND	地	2	VCC	+5V
3	AD1DB11	AD1 数据总线	4	AD1CLK	AD1 时钟线
5	AD1DB9	AD1 数据总线	6	AD1DB10	AD1 数据总线
7	AD1DB7	AD1 数据总线	8	AD1DB8	AD1 数据总线
9	AD1DB5	AD1 数据总线	10	AD1DB6	AD1 数据总线
11	AD1DB3	AD1 数据总线	12	AD1DB4	AD1 数据总线
13	AD1DB1	AD1 数据总线	14	AD1DB2	AD1 数据总线
15	AD1_OTR	AD1 OTR	16	AD1DB0	AD1 数据总线
17	AD2DB11	AD2 数据总线	18	AD2CLK	AD2 时钟线
19	AD2DB9	AD2 数据总线	20	AD2DB10	AD2 数据总线

21	AD2DB7	AD2 数据总线	22	AD2DB8	AD2 数据总线
23	AD2DB5	AD2 数据总线	24	AD2DB6	AD2 数据总线
25	AD2DB3	AD2 数据总线	26	AD2DB4	AD2 数据总线
27	AD2DB1	AD2 数据总线	28	AD2DB2	AD2 数据总线
29	AD2_OTR	AD2 OTR	30	AD2DB0	AD2 数据总线
31			32		
33			34		
35			36		
37	GND	地	38	GND	地
39	D3V3	3.3V	40	D3V3	3.3V

十、AD 实验操作步骤

1. 首先，将 AD 模块与 FPGA 黑金开发板的 34 针标准扩展口相连接（在掉电情况下）。
2. 将您的信号源与 AD 输入接口相连（注：AD 口输入范围：-5V~+5V）。
3. 利用 Quartus II 软件，将程序下载到 FPGA 中（测试程序在我们论坛中可以下载）。
4. 利用 SignalTap II 对数据进行实时采集。

十一、SignalTap II 波形

下图波形为利用 Quartus II 里面的工具 SignalTap II 采集的数据波形。

